

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093077

(43)Date of publication of application : 10.04.1998

(51)Int.Cl. H01L 29/78

(21)Application number : 08-247557 (71)Applicant : SONY CORP

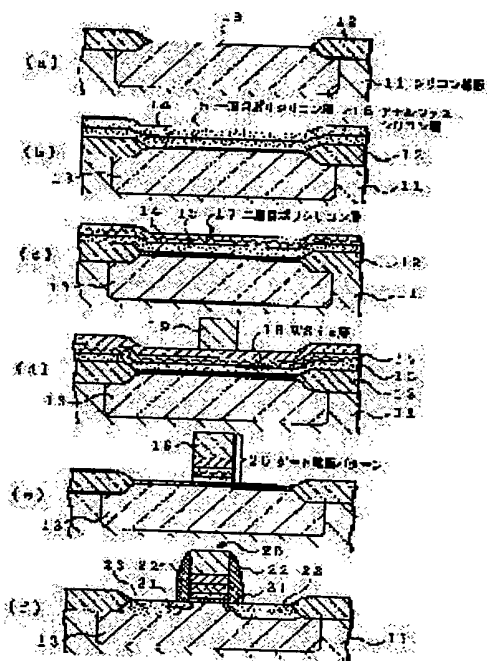
(22)Date of filing : 19.09.1996 (72)Inventor : TSUKAMOTO MASANORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can prevent deterioration of MOSFET characteristics due to reduction of a gate capacity of a MOSFET caused by the increased thickness of a gate oxide film and which can eliminate such a drawback that a variation in the work function of a gate electrode causes variation in a voltage V_{th} or increase of a contact or sheet resistance by preventing interdiffusion of impurities, and a method for manufacturing the semiconductor device.

SOLUTION: A semiconductor device has a gate electrode 20 of a tungsten polycide structure, using an N+-type polysilicon layer. N+-type polysilicon layer is made up of two films, at least one of which is made of polysillicon of grains having large diameters. The formation of the large grain-diameter polysilicon is carried out by depositing an amorphous silicon layer 16 at a temperature of 550°C or less and then annealing the amorphous silicon layer 16 at a temperature of 800°C or less for one hour or more.



LEGAL STATUS

[Date of request for examination] 31.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

1222

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93077

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平8-247557

(22) 出願日 平成8年(1996) 9月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

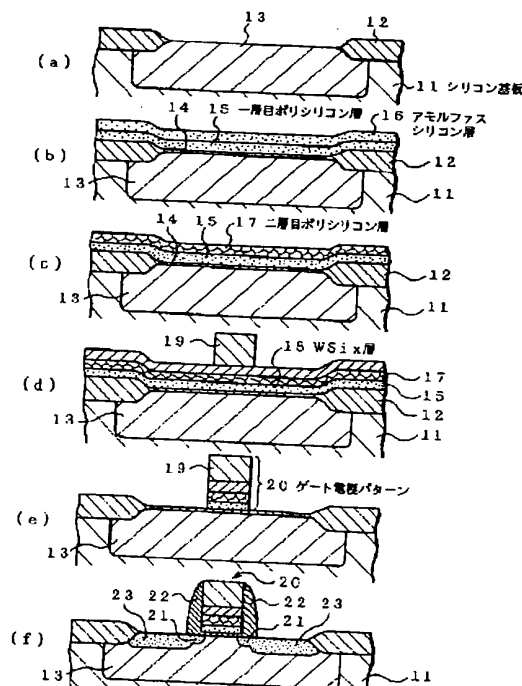
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 ゲート酸化膜の膜厚増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのを防止した半導体装置とその製造方法、および不純物の相互拡散を防止してゲート電極の仕事関数が変化することにより V_{th} が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じるのを防止した半導体装置とその製造方法の提供が望まれている。

【解決手段】 N^+ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極20を備えた半導体装置である。 N^+ 型ポリシリコン層が2層構造に形成されており、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されている。大粒径ポリシリコンの形成は、CVD法により堆積温度550℃以下でアモルファスシリコン16を堆積し、このアモルファスシリコン16を800℃以下の温度で1時間以上アニールすることによって行う。



第1実施形態例の工程説明図

【特許請求の範囲】

【請求項1】 N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置において、

N⁺型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項2】 タングステンシリサイドが、SiH₄を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記2層構造のN⁺型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電氣的に接続する埋め込みコンタクトを有した半導体装置において、

N⁺型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項5】 タングステンシリサイドが、SiH₄を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項2記載の半導体装置。

【請求項6】 前記2層構造のN⁺型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項7】 N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、

前記N⁺型ポリシリコンの形成工程として、CVD法により堆積温度550℃以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800℃以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記N⁺型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN⁺型にする工程を備えたことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電氣的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、
前記N⁺型ポリシリコンの形成工程として、CVD法により堆積温度550℃以下でアモルファスシリコンを堆

積する工程と、このアモルファスシリコンを800℃以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項10】 前記N⁺型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN⁺型にする工程を備えたことを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置とその製造方法、およびN⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極に電氣的に接続する埋め込みコンタクトを有した半導体装置とその製造方法に関する。

【0002】

【従来の技術】タングステンシリサイド(WSix)とポリシリコン(Poly-Si)との積層構造で形成されるタングステンポリサイド(Wポリサイド)配線構造は、低抵抗でかつ熱的安定性に優れているため、MOSデバイス、バイポーラデバイス等で広く用いられている。特に、MOSデバイスにおいては、ゲート酸化膜信頼性を確保しつつ閾値電圧(V_{th})制御にも優れていることから、ゲート電極として多く用いられている。このようにWポリサイド構造をゲート電極として用いる場合、そのポリシリコンについては、高濃度不純物ドーピングが可能であり、さらに熱的に安定であるなどの理由から、リン等のN型の不純物をドーピングしてN⁺型とするのが普通である。

【0003】ところで、タングステンシリサイドの堆積方法としてはスパッタ法やCVD法があるが、ステップカバレッジに優れ、かつ低抵抗な膜を形成することができるとの理由により、通常はCVD法が用いられる。このようなCVD法によるタングステンシリサイドの堆積方法としては、特に、SiH₄とWF₆とを原料にする減圧下でのCVD法(減圧化学的気相成長法、以下、減圧CVD法と記す)が一般的である。

【0004】また、ゲート電極と拡散層との間のコンタクトをとる構造としては、埋め込みコンタクト(Buried Contact)を用いた構造が知られている。このような埋め込みコンタクト構造を形成するには、まず、図3

(a)に示すようにシリコン基板1表面に形成したゲート酸化膜2上に一層目ポリシリコン層3を形成し、さらに一層目ポリシリコン層3、ゲート酸化膜2をエッチングして埋め込みコンタクトの形成領域に開口部4を形成

する。

【0005】次に、二層目ポリシリコン層、WSix層をこの順に堆積形成してWポリサイド層を得、さらにこのWポリサイド層をエッチングによってパターンニングし、図3(b)に示すように一層目ポリシリコン層3、二層目ポリシリコン層5、WSix層6からなるWポリサイド構造のゲート電極7を得る。次いで、MOSFET(MOS型電界効果トランジスタ)形成の際に拡散層領域を形成する。その後、熱処理することにより、図3(c)に示すようにポリシリコン層5中のドーパントと拡散層8中のドーパントを拡散させてこれらを接触させ、ゲート電極7と拡散層8とを電気的に接続する埋め込みコンタクト9を得る。

【0006】

【発明が解決しようとする課題】ところで、前記の減圧CVD法によりタングステンシリサイド(WSix)を堆積形成した半導体装置では、減圧CVD法によって形成されたWSix膜中に 1×10^{20} 個/cm³以上のフッ素原子が含まれてしまっていることが知られている。しかし、ゲート電極中に高濃度のフッ素が含まれていると、800℃以上程度の高温熱処理によってゲート酸化膜中にフッ素が拡散し、このゲート酸化膜の膜厚が増加してしまう。したがって、MOSFETにおけるゲート容量が減少し、MOSFET特性が低下してLSI動作も低下してしまうのである。

【0007】また、図3(c)に示した埋め込みコンタクト9を有する半導体装置では、例えば該半導体装置が薄膜トランジスタ(TFT)を積層したスタック型SRAMやキャパシタを積層したスタック型DRAMである場合、通常、図4に示すようにWSix層6上にポリシリコン配線10のコンタクト10aが形成される。このとき、図4中のポリシリコン配線10がP型である場合には、WSix層6を介してゲート電極7や拡散層8中のN型不純物とポリシリコン配線10中のP型不純物とが相互拡散し、補償し合ってしまう。そして、このような相互拡散による補償が起こると、ゲート電極7の仕事関数が変化することによってV_{th}が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じてしまう。

【0008】本発明は前記事情に鑑みてなされたもので、その目的とするところは、ゲート酸化膜の膜厚増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのを防止した半導体装置とその製造方法、および不純物の相互拡散を防止してゲート電極の仕事関数が変化することによりV_{th}が変動したり、コンタクト抵抗やシート抵抗が増大するといった不都合が生じるのを防止した半導体装置とその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明における請求項1

記載の半導体装置では、N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、N⁺型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを前記課題の解決手段とした。この半導体装置によれば、2層構造からなるN⁺型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されているので、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜へのフッ素の拡散が抑えられる。

【0010】請求項4記載の半導体装置では、N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有し、N⁺型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを前記課題の解決手段とした。この半導体装置によれば、2層構造からなるN⁺型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されているので、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンシリサイドを介して起こるN型不純物とP型不純物との相互拡散が、大粒径ポリシリコンによって抑制され、これによりゲート電極の仕事関数が変化したり、コンタクト抵抗やシート抵抗が増大するのが抑えられる。

【0011】なお、これら半導体装置においては、タングステンシリサイドが、SiH₄を原料ガスとしたCVD法で形成されたものであるのが好ましく、このようなCVD法によって形成されていることにより、該タングステンシリサイドはステップカバレッジに優れ、かつ低抵抗な膜となる。また、これら半導体装置においては、N⁺型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されているのが好ましく、このように上層のポリシリコン層の不純物濃度が下層のポリシリコン層の不純物濃度より低く形成されていることにより、N⁺型ポリシリコン層からタングステンシリサイドへの不純物の拡散が抑えられる。

【0012】請求項7記載の半導体装置では、N⁺型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、前記N⁺型ポリシリコンの形成工程として、CVD法により堆積温度550℃以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを800℃以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを前記課題の解決手段とした。この半導体装置の製造方法によれば、堆積したアモルファスシ

リコンを大粒径化することにより、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑えることが可能になる。

【0013】請求項9記載の半導体装置では、 N^+ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電氣的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、前記 N^+ 型ポリシリコンの形成工程として、CVD法により堆積温度 550°C 以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを 800°C 以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを前記課題の解決手段とした。この半導体装置の製造方法によれば、堆積したアモルファスシリコンを大粒径化することにより、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンシリサイドを介して起こるN型不純物とP型不純物との相互拡散を、大粒径ポリシリコンによって抑制することが可能になる。

【0014】なお、これら半導体装置の製造方法においては、アモルファスシリコンを堆積した後、該アモルファスシリコンをアニールするに先立って該アモルファスシリコンにリンあるいはヒ素をイオン注入して N^+ 型にするのが好ましい。このように不純物をイオン注入することにより、アニール後に得られるポリシリコン層をより一層大粒径化することができるからである。

【0015】

【発明の実施の形態】以下、本発明を、半導体装置の製造方法に基いて詳しく説明する。

（第1実施形態例）この例では、 N^+ 型ポリシリコンを用いたWポリサイド構造のゲート電極を備えた半導体装置の、製造方法について説明する。図1（a）に示すように、まず、シリコン基板11表面側に、例えば 950°C ウエット酸化によるLOCOS（Local Oxidation of Silicon）法によって素子分離領域となるフィールド酸化膜12を形成する。次に、NMOSFET（Nチャンネル型のMOS型電界効果トランジスタ）を形成する領域にイオン注入法等によってP型ウェル領域（図示略）を形成するとともに、トランジスタのパンチスルーを阻止するための埋め込み層（図示略）を形成する。さらに、トランジスタの閾値電圧 V_{th} を調整するためのイオン注入を行い、NMOSチャンネル領域13を形成する。

【0016】次いで、熱酸化法（例えば 850°C の水素と酸素とからなる雰囲気中でのパイロジェニック酸化法）により、図1（b）に示すように露出しているシリコン基板11の表面にゲート酸化膜14を、例えば 8nm の厚さに形成する。続いて、 SiH_4 を原料ガスとした減圧下におけるCVD法（減圧化学的気相成長法、以

下、減圧CVD法と記す）により、堆積温度 620°C にて、ポリシリコンを例えば 50nm の厚さに堆積し、本発明における下層のポリシリコン層となる一層目ポリシリコン層15を形成する。

【0017】次いで、この一層目ポリシリコン層15の上に、 SiH_4 を原料ガスとした減圧CVD法により、堆積温度 550°C にて、アモルファスシリコン層16を例えば 50nm の厚さに堆積する。続いて、 650°C 、10時間の条件でアニール処理を行ってアモルファスシリコン層16を結晶化し、図1（c）に示すように先に形成した一層目ポリシリコン層15を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層17を形成する。

【0018】次いで、POC13中で 830°C の熱処理を行うことにより、一層目ポリシリコン層15、二層目ポリシリコン層17にそれぞれリンをドーブし、これにより一層目ポリシリコン層15、二層目ポリシリコン層17をそれぞれ N^+ 型のポリシリコン層とする。

【0019】次いで、二層目ポリシリコン層17の上に、 WF_6/SiH_4 を原料ガスとした減圧CVD法により、堆積温度 380°C にて、WSix層18を例えば 70nm の厚さに堆積形成する。さらに、これの上に SiH_4/O_2 を原料ガスとしたCVD法により、堆積温度 420°C にて、 SiO_2 層（図示略）を例えば厚さ 150nm に堆積形成し、一層目ポリシリコン層15、二層目ポリシリコン層17、WSix層18、 SiO_2 層からなるオフセット酸化膜付きのWポリサイド配線層（図示略）を得る。

【0020】次いで、公知のリソグラフィ法によってレジストパターン（図示略）を形成し、さらにこのレジストパターンをマスクにして例えばフロロカーボン系のガスを用いた異方性エッチングにより、図1（d）に示すように SiO_2 のゲート電極パターン19を形成する。次いで、 SiO_2 のゲート電極パターン19をマスクにした異方性エッチング（例えば C_{12}/O_2 ガスによるECRエッチング）により、WSix層18、二層目ポリシリコン層17、一層目ポリシリコン層15からなるWポリサイドをエッチングし、図1（e）に示すように前記 SiO_2 のゲート電極パターン19を含むゲート電極パターン20を形成する。

【0021】次いで、 As^+ を例えば加速エネルギー 20keV 、ドーズ量 5×10^{13} 個/ cm^2 の条件でイオン注入し、図1（f）に示すようにN型のLDD領域、すなわちNLDD領域21を形成する。続いて、減圧CVD法により SiO_2 層（図示略）を厚さ 150nm に堆積形成し、その後、この SiO_2 層を異方性エッチングすることによりサイドウォール22を形成する。続いて、NMOSチャンネル領域13に例えば As^+ を加速エネルギー 20keV 、ドーズ量 3×10^{15} 個/ cm^2 の条件でイオン注入し、N型のソース・ドレイン領域23

を形成する。

【0022】次いで、1000℃、10秒の条件によるRTA (Rapid Thermal Anneal) によって不純物の活性化を行い、その後、層間絶縁膜形成・コンタクトホール形成・Al等の配線材料によりゲート・ソース・ドレイン等の配線を行い、半導体装置を得る。

【0023】このようにして得られた半導体装置にあっては、二層目ポリシリコン層17が大粒径ポリシリコンで形成されているので、Wポリサイド構造におけるWSix層18からのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜14へのフッ素の拡散が抑えられ、したがってゲート酸化膜14の膜厚の増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのが防止されている。また、WSix層18がWF6/SiH4を原料ガスとした減圧CVD法で形成されていることから、このWSix層18はステップカバレッジに優れ、かつ低抵抗な膜となっている。

【0024】また、このような半導体装置の製造方法にあっては、堆積したアモルファスシリコン層をアニールすることによって大粒径化することにより、Wポリサイド構造におけるWポリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散を抑えることができ、したがってゲート酸化膜14の膜厚の増加に起因してMOSFETにおけるゲート容量が減少し、MOSFET特性が低下するのを防止することができる。

【0025】なお、この半導体装置においては、一層目ポリシリコン層15と二層目ポリシリコン層17とにリンを同時にドーピングし、それぞれをN+型としたが、これらを別々にドーピング処理してもよいのはもちろんであり、その場合には、上層のポリシリコン層、すなわち二層目ポリシリコン層17の不純物濃度を、下層のポリシリコン層（一層目ポリシリコン層15）の不純物濃度より低く形成するのが、N+型ポリシリコン層15、17からWSix層18への不純物の拡散を抑えるうえで好ましい。

【0026】（第2実施形態例）この例では、N+型ポリシリコンを用いたWポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電気的に接続する埋め込みコンタクトを有した半導体装置の、製造方法について説明する。まず、先の第1実施形態例と同様にしてシリコン基板表面側にフィールド酸化膜（図示略）を形成し、続いてNMOSFET（Nチャンネル型のMOS型電界効果トランジスタ）を形成する領域にイオン注入法等によってP型ウェル領域（図示略）を形成するとともに、トランジスタのパンチスルーを阻止するための埋め込み層（図示略）を形成する。さらに、トランジスタの閾値電圧 V_{th} を調整するためのイオン注入を行い、NMOSチャンネル領域（図示略）を形成する。

【0027】次いで、第1実施形態例と同様の熱酸化法により、図2(a)に示すように露出しているシリコン基板30の表面にゲート酸化膜31を、例えば8nmの厚さに形成する。続いて、SiH4を原料ガスとした減圧CVD法により、堆積温度620℃にて、ポリシリコンを例えば50nmの厚さに堆積し、本発明における下層のポリシリコン層となる一層目ポリシリコン層32を形成する。そして、POCl3中で830℃の熱処理を行うことにより、一層目ポリシリコン層32リンをドーピングし、これにより一層目ポリシリコン層32をN+型のポリシリコン層とする。なお、この一層目ポリシリコン層32へのリンのドーピングについては、このような気相拡散による方法に代えて、CVD時にリンをドーピングするといった手法を採用してもよい。

【0028】次いで、塗布技術とリソグラフィ技術とで形成したレジストパターンをマスク（図示せず）にして、例えばC12/O2をエッチングガスとして一層目ポリシリコン層32を異方性エッチングし、さらに、例えばフロロカーบอนをエッチングガスとしてゲート酸化膜31を異方性エッチングし、図2(b)に示すように埋め込みコンタクトの形成領域に開口部33を形成する。次いで、図2(c)に示すように一層目ポリシリコン層32の上に、SiH4を原料ガスとした減圧CVD法により、堆積温度550℃にて、アモルファスシリコン層34を例えば50nmの厚さに堆積する。続いて、このアモルファスシリコン層34に例えば加速エネルギー10keV、ドーズ量 3×10^{15} 個/cm²の条件でリンをイオン注入する。このようなイオン注入により、アモルファスシリコンはよりアモルファスな構造となる。

【0029】次いで、650℃、10時間の条件でアニール処理を行ってアモルファスシリコン層34を結晶化し、先に形成した一層目ポリシリコン層32を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層35を形成する。続いて、1000℃、10秒の条件でRTAを行い、二層目ポリシリコン層35表面のリンを該ポリシリコン層35中に拡散させ、かつこれを活性化させて二層目ポリシリコン層35をその不純物濃度が一層目ポリシリコン層32の不純物濃度より低くなるようにする。ここで、先にアモルファスシリコン層34にリンをイオン注入していることにより、アニール後に得られる二層目ポリシリコン層35は、第1実施形態例の二層目ポリシリコン層17に比べより一層大粒径化したものとなっている。

【0030】次いで、図2(d)に示すように第1実施形態例と同様にしてWSix層36を例えば70nmの厚さに堆積形成し、さらにこれの上にSiC2層（図示略）を例えば厚さ150nmに堆積形成し、これにより一層目ポリシリコン層32、二層目ポリシリコン層35、WSix層36、SiO2層からなるオフセット酸化膜付きのWポリサイド配線層（図示略）を得る。続い

て、公知のリソグラフィ法によってレジストパターン

(図示略)を形成し、さらにこのレジストパターンをマスクにして例えばフロロカーボン系のガスを用いた異方性エッチングにより、図2(d)に示すようにSiC₂のゲート電極パターン37を形成する。

【0031】次いで、先の第1実施形態例と同様に、SiO₂のゲート電極パターン37をマスクにした異方性エッチング(例えばC₁₂/O₂ガスによるECREッチング)により、WSix層36、二層目ポリシリコン層35、一層目ポリシリコン層32からなるWポリサイドをエッチングし、図2(e)に示すように前記SiO₂のゲート電極パターン37を含むゲート電極パターン38を形成する。このとき、埋め込みコンタクトの形成領域における開口部33では、ゲート電極パターン38が無い位置においてシリコン基板30が掘れる。

【0032】続いて、NLDD領域(図示略)、PLDD領域(図示略)、サイドウォール(図示略)を形成し、さらにNMOSチャネル領域(図示略)に例えばAs⁺を加速エネルギー20keV、ドーズ量3×10¹⁵個/cm²の条件でイオン注入し、N型のソース/ドレイン領域(図示略)を形成する。次いで、図2(f)に示すようにSiO₂を厚さ200nm程度に堆積して層間絶縁膜39を形成し、さらに公知のリソグラフィ技術、異方性エッチング技術によってコンタクトホール40を形成する。

【0033】次いで、SiH₄を原料ガスとした減圧CVD法により、堆積温度620℃にて、ポリシリコンを例えば50nmの厚さに堆積し、さらにこのポリシリコンにB⁺を加速エネルギー10keV、ドーズ量4×10¹⁵個/cm²の条件でイオン注入する。続いて、イオン注入によりP⁺型にしたポリシリコンを、公知のリソグラフィ技術、エッチング技術によってパターンニングし、P⁺型のポリシリコン配線41を形成する。

【0034】次いで、1000℃、10秒の条件によるRTAによって不純物の活性化を行う。すると、埋め込みコンタクト部分では、一層目ポリシリコン32のリン(P)がシリコン基板30に拡散し、これにより一層目ポリシリコン32とソース/ドレイン領域(拡散層)42とを電気的に接続する埋め込みコンタクト43が得られる。その後、通常行われる種々の処理工程を経て、半導体装置を得る。

【0035】このようにして得られた半導体装置においては、二層目ポリシリコン層35が大粒径ポリシリコンで形成されているので、P⁺型のポリシリコン配線がゲート電極パターン38に接続されていても、Wポリサイド構造におけるWSix層36を介して起こるN型不純物とP型不純物との相互拡散が大粒径ポリシリコンによって抑制されており、したがってゲート電極の仕事関数が増えたり、コンタクト抵抗やシート抵抗が増大するのが抑えられたものとなっている。

【0036】また、第1実施形態例と同様にWSix層36がWF₆/SiH₄を原料ガスとした減圧CVD法で形成されていることから、このWSix層36はステップカバレッジに優れ、かつ低抵抗な膜となっている。また、二層目ポリシリコン層35の不純物濃度が、一層目ポリシリコン層32の不純物濃度より低く形成されているので、N⁺型ポリシリコン層からWSix層36への不純物の拡散が一層抑えられる。

【0037】また、このような半導体装置の製造方法においては、堆積したアモルファスシリコンを大粒径化することにより、P⁺型のポリシリコン配線41をゲート電極パターン38に接続した際、Wポリサイド構造におけるWSix層36を介して起こるN型不純物とP型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができ、したがってゲート電極の仕事関数が増えたり、コンタクト抵抗やシート抵抗が増大するのを抑えることができる。また、この製造方法においては、アモルファスシリコンを堆積した後、該アモルファスシリコン層34をアニールするに先立って該アモルファスシリコン層34にリンをイオン注入してN⁺型にしているので、アニール後に得られるポリシリコン層をより一層大粒径化することができる。

【0038】

【発明の効果】以上説明したように本発明における請求項1記載の半導体装置は、2層構造からなるN⁺型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されたものであるから、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散が大粒径ポリシリコンで抑制され、これによりゲート酸化膜へのフッ素の拡散が抑えられる。したがって、ゲート酸化膜中へのフッ素の拡散に起因してゲート酸化膜の膜厚が増加してしまうことがなく、これによりMOSFETにおけるゲート容量が減少し、MOSFET特性が低下してLSI動作も低下してしまうといった不都合を防止することができる。

【0039】請求項4記載の半導体装置は、2層構造からなるN⁺型ポリシリコン層のうちの少なくとも1層が大粒径ポリシリコンで形成されたものであるから、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンシリサイドを介して起こるN型不純物とP型不純物との相互拡散が、大粒径ポリシリコンによって抑制され、これによりゲート電極の仕事関数が増えたり、コンタクト抵抗やシート抵抗が増大するのが抑えられる。

【0040】請求項7記載の半導体装置の製造方法は、堆積したアモルファスシリコンを大粒径化するものであるから、タングステンポリサイド構造におけるタングステンシリサイドからのフッ素の拡散を大粒径ポリシリコンで抑制し、これによりゲート酸化膜へのフッ素の拡散

を抑え、MOSFETにおけるゲート容量の減少やMOSFET特性の低下などを防止することができる。

【0041】請求項9記載の半導体装置の製造方法は、堆積したアモルファスシリコンを大粒径化するものであるから、例えばP型不純物を導入したポリシリコン配線をゲート電極に接続した場合に、タングステンポリサイド構造におけるタングステンポリサイドを介して起こるN型不純物とP型不純物との相互拡散を、大粒径ポリシリコンによって抑制することができ、これによりゲート電極の仕事関数が変化することによる V_{th} が変動や、コンタクト抵抗やシート抵抗の増大を抑制することができる。また、特に埋め込みコンタクトについては、工程増加を伴わずにその形成を行うことができ、しかも前記効果を奏することができる。

【図面の簡単な説明】

【図1】(a)～(f)は、本発明の半導体装置の製造方法の第1実施形態例を工程順に説明するための要部側断面図である。

【図2】(a)～(f)は、本発明の半導体装置の製造

方法の第2実施形態例を工程順に説明するための要部側断面図である。

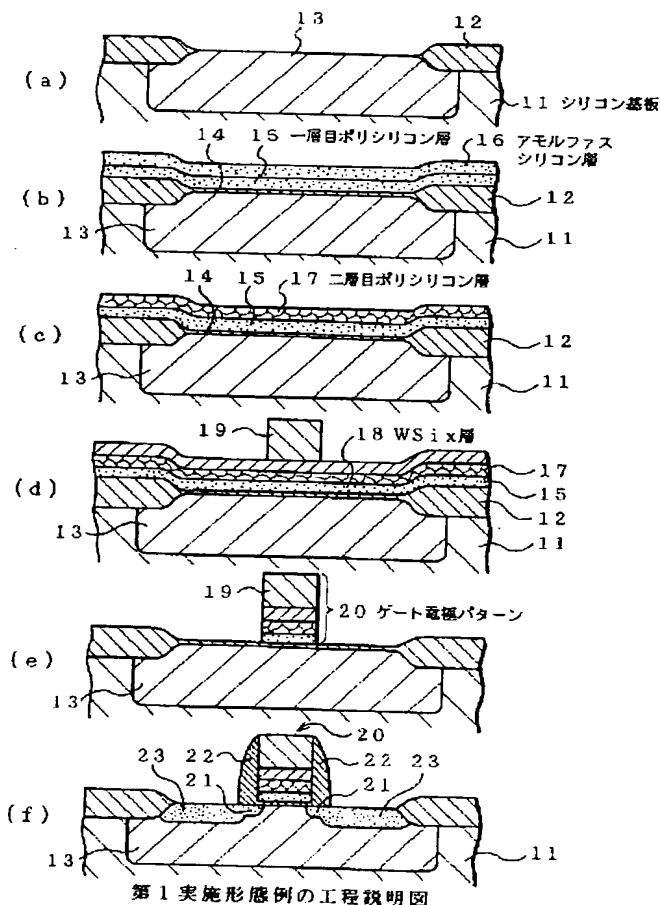
【図3】(a)～(c)は、従来の半導体装置の製造方法の一例を工程順に説明するための要部側断面図である。

【図4】従来の半導体装置の一例を示す要部側断面図である。

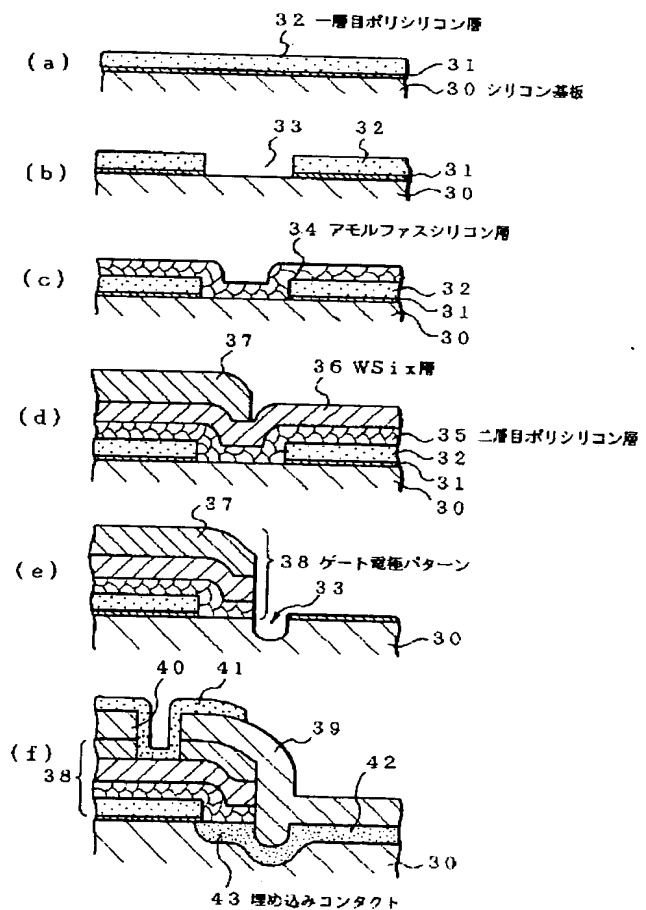
【符号の説明】

- 11、30 シリコン基板
15、32 一層目ポリシリコン層（下層のポリシリコン層）
16、34 アモルファスシリコン層
17、34 二層目ポリシリコン層（上層のポリシリコン層）
18、36 WSi_x 層 20、38 ゲート電極パターン（ゲート電極）
42 ソース／ドレイン領域（拡散層） 43 埋め込みコンタクト

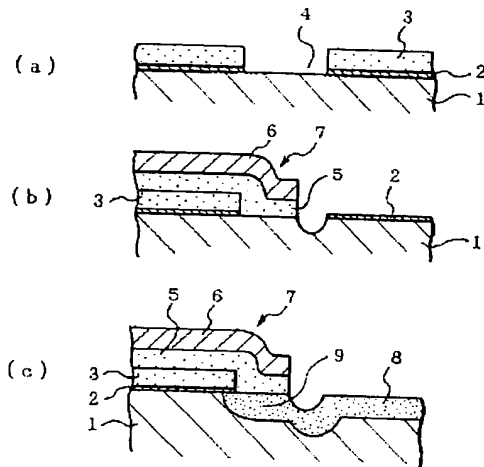
【図1】



【図2】

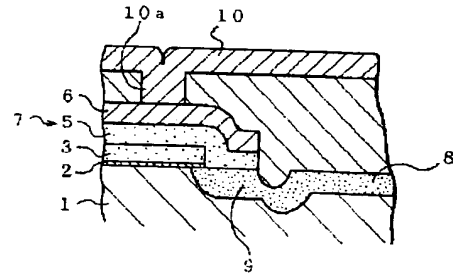


【図3】



従来の製造工程説明図

【図4】



課題説明図

【手続補正書】

【提出日】平成8年11月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 N+ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置において、

N+ 型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項2】 タングステンシリサイドが、 SiH_4 を原料ガスとしたCVD法で形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記2層構造のN+ 型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 N+ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電氣的に接続する埋め込みコンタクトを有した半導体装置において、

N+ 型ポリシリコン層が2層構造に形成されてなり、これら2層のうちの少なくとも1層が大粒径ポリシリコンで形成されてなることを特徴とする半導体装置。

【請求項5】 タングステンシリサイドが、 SiH_4 を原料ガスとしたCVD法で形成されたものであることを

特徴とする請求項4記載の半導体装置。

【請求項6】 前記2層構造のN+ 型ポリシリコン層のうち上層のポリシリコン層の不純物濃度が、下層のポリシリコン層の不純物濃度より低く形成されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 N+ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備えた半導体装置の製造方法において、

前記N+ 型ポリシリコンの形成工程として、CVD法により堆積温度 550°C 以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを 800°C 以下の温度で1時間以上アニールすることにより、該アモルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記N+ 型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN+ 型にする工程を備えたことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 N+ 型ポリシリコンを用いたタングステンポリサイド構造のゲート電極を備え、かつ該ゲート電極と拡散層とを電氣的に接続する埋め込みコンタクトを有した半導体装置の製造方法において、

前記N+ 型ポリシリコンの形成工程として、CVD法により堆積温度 550°C 以下でアモルファスシリコンを堆積する工程と、このアモルファスシリコンを 800°C 以下の温度で1時間以上アニールすることにより、該アモ

ルファスシリコンを大粒径ポリシリコンに固相成長する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項10】 前記N⁺型ポリシリコンの形成工程として、アモルファスシリコンを堆積する工程とアモルファスシリコンをアニールする工程との間に、アモルファスシリコンにリンあるいはヒ素をイオン注入してN⁺型にする工程を備えたことを特徴とする請求項9記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】次いで、650℃、10時間の条件でアニール処理を行ってアモルファスシリコン層34を結晶化し、先に形成した一層目ポリシリコン層32を形成する粒子よりも大粒径の粒子に固相成長させて二層目ポリシリコン層35を形成する。続いて、1000℃、10秒の条件でRTAを行い、二層目ポリシリコン層35表面のリンを該ポリシリコン層35中に拡散させ、かつこれを活性化させて二層目ポリシリコン層35をその不純物濃度が一層目ポリシリコン層32の不純物濃度より低くなるようにする。ここで、先にアモルファスシリコン層34にリンをイオン注入していることにより、アニール後に得られる二層目ポリシリコン層35は、第1実施形

態例の二層目ポリシリコン層17に比べより一層大粒径化したものとなっている。また、このようなRTAにより、二層目ポリシリコン層35表面のリンは開口部33を通してシリコン基板30の表層部に拡散し、これにより該シリコン基板30の表層部に不純物拡散層44が形成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】次いで、1000℃、10秒の条件によるRTAによって不純物の活性化を行う。すると、埋め込みコンタクト部分では、ソース／ドレイン領域（拡散層）42の不純物がシリコン基板30に拡散し、これにより前記不純物領域44とソース／ドレイン領域（拡散層）42とを電氣的に接続する埋め込みコンタクト43が得られる。その後、通常行われる種々の処理工程を経て、半導体装置を得る。

【手続補正4】

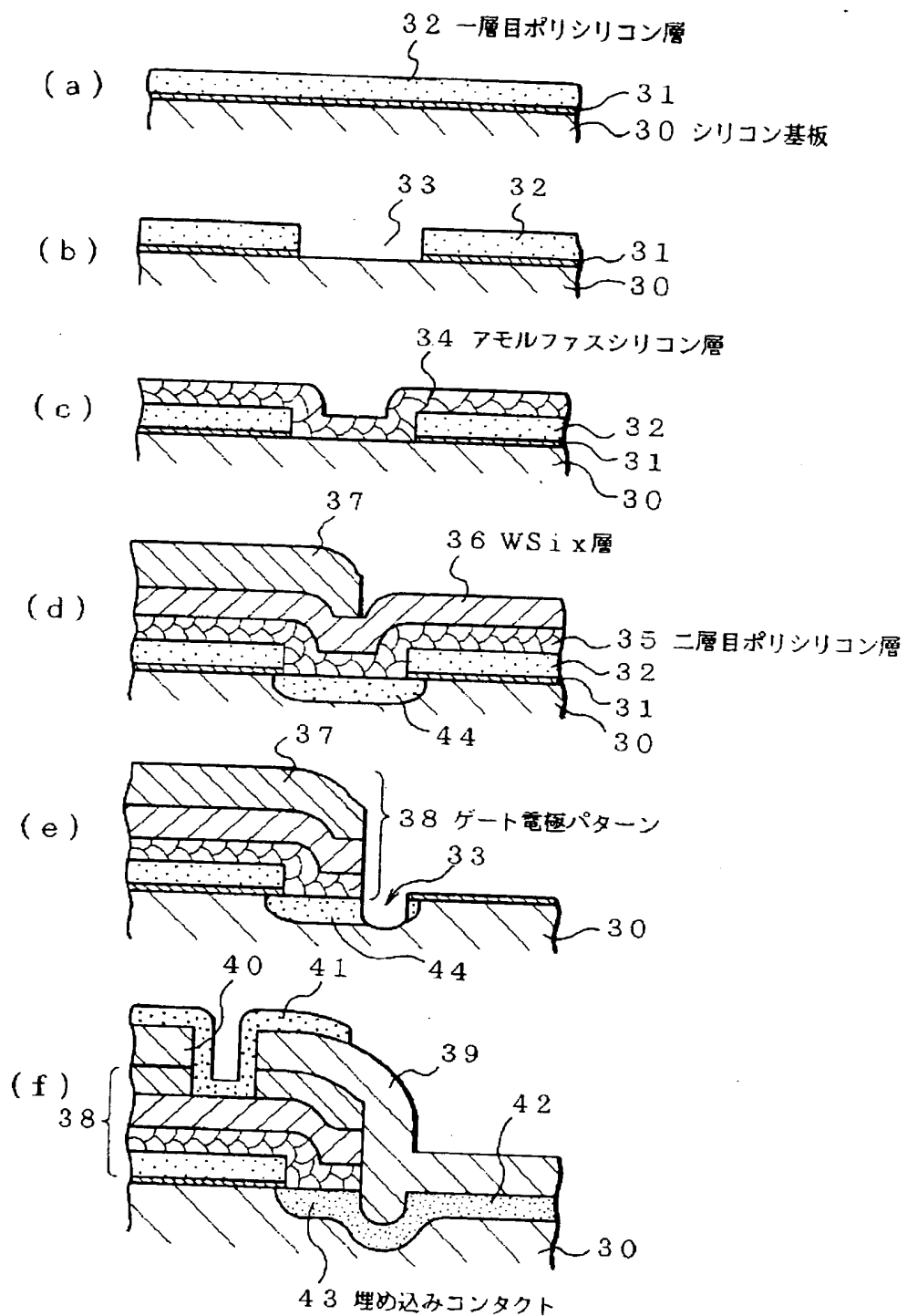
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



第2実施形態例の工程説明図